

CONVERSION A/N et N/A

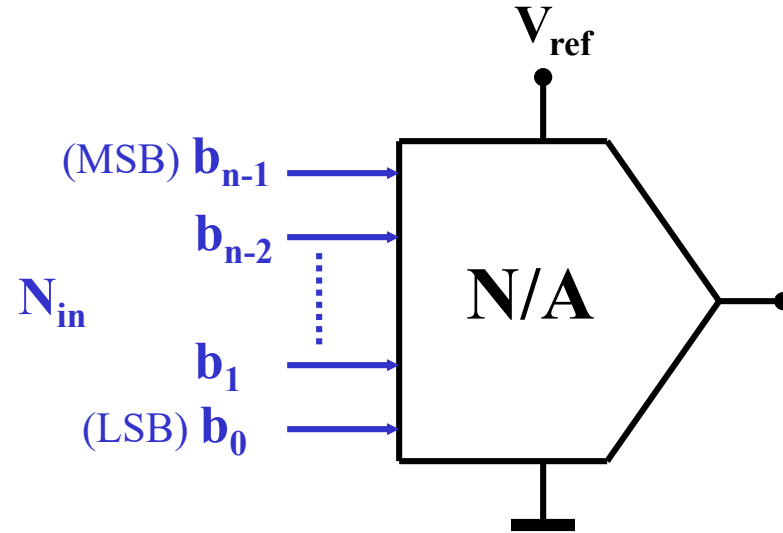
## 2.CONVERSION NUMERIQUE-ANALOGIQUE

# CONVERSION NUMERIQUE-ANALOGIQUE

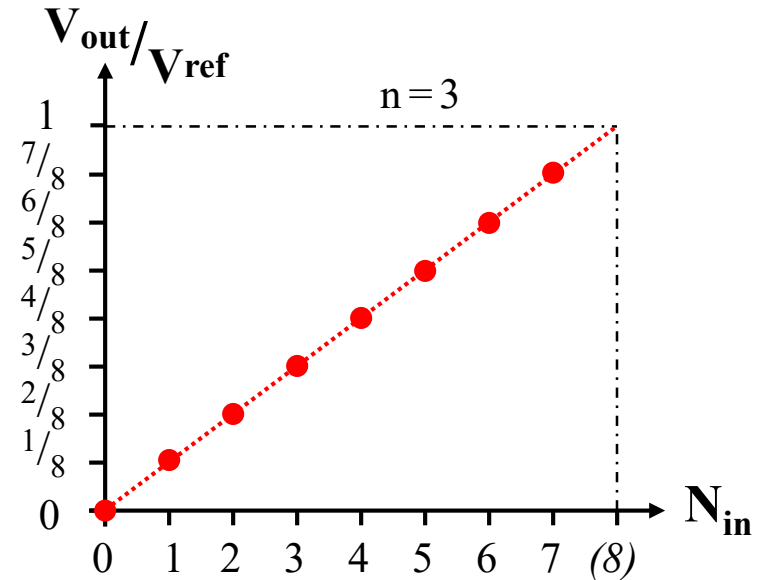
- Convertisseurs potentiométriques
- Convertisseurs à résistances pondérées
- Convertisseurs à échelle  $R/2R$  et  $M/2M$
- Convertisseurs à sources de courant pondérées
  - Exercice(CMOS  $R-2R$  DAC)
- Convertisseurs à capacités pondérées
- Convertisseurs sur-échantillonnés

# CONVERTISSEURS N/A

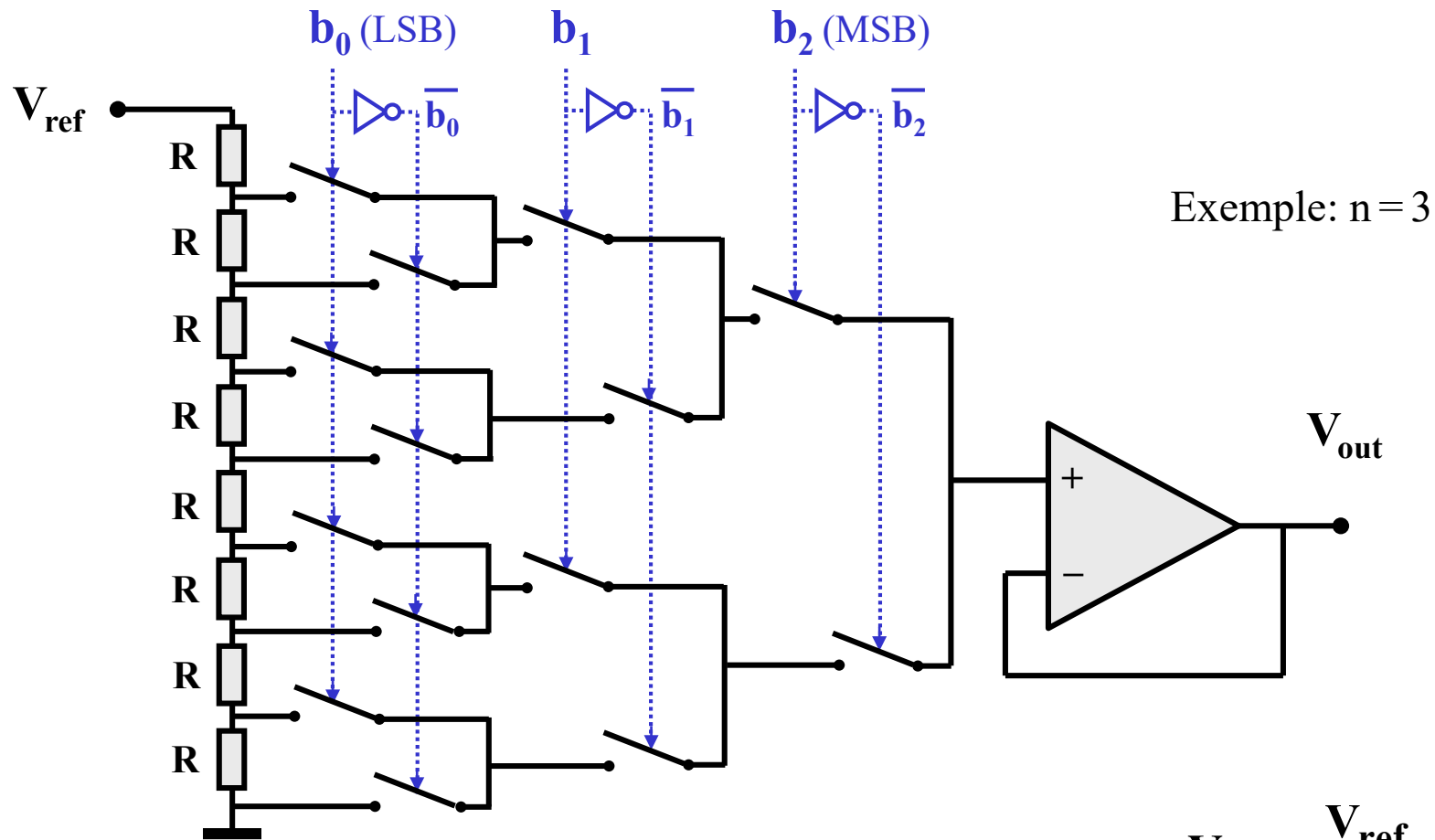
## Définition et schéma symbolique



$$V_{\text{out}} = \frac{V_{\text{ref}}}{2^n} \cdot \sum_{i=0}^{n-1} b_i \cdot 2^i = \frac{V_{\text{ref}}}{2^n} \cdot N_{\text{in}}$$

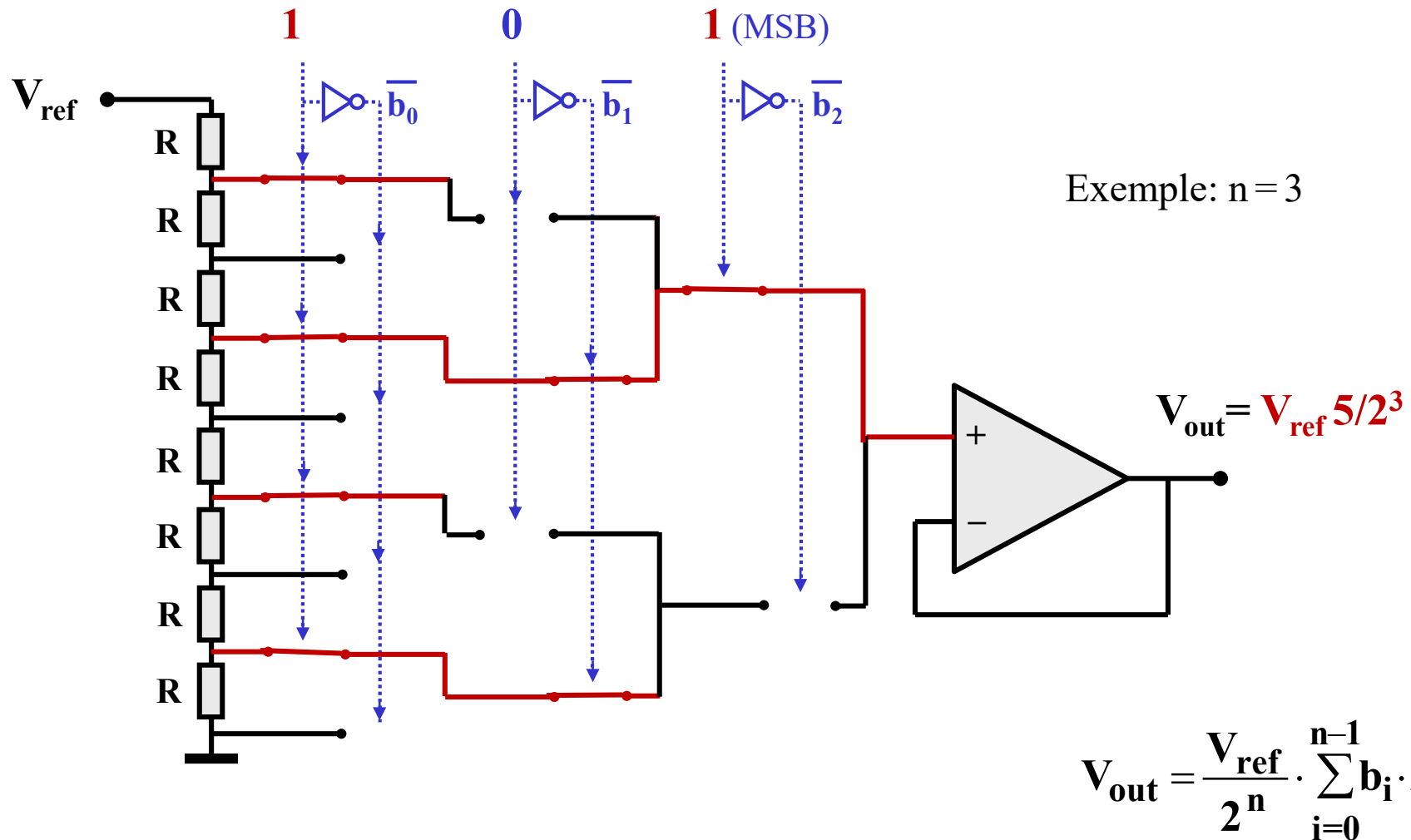


## 2.1. CONVERTISSEURS N/A POTENTIOMETRIQUES



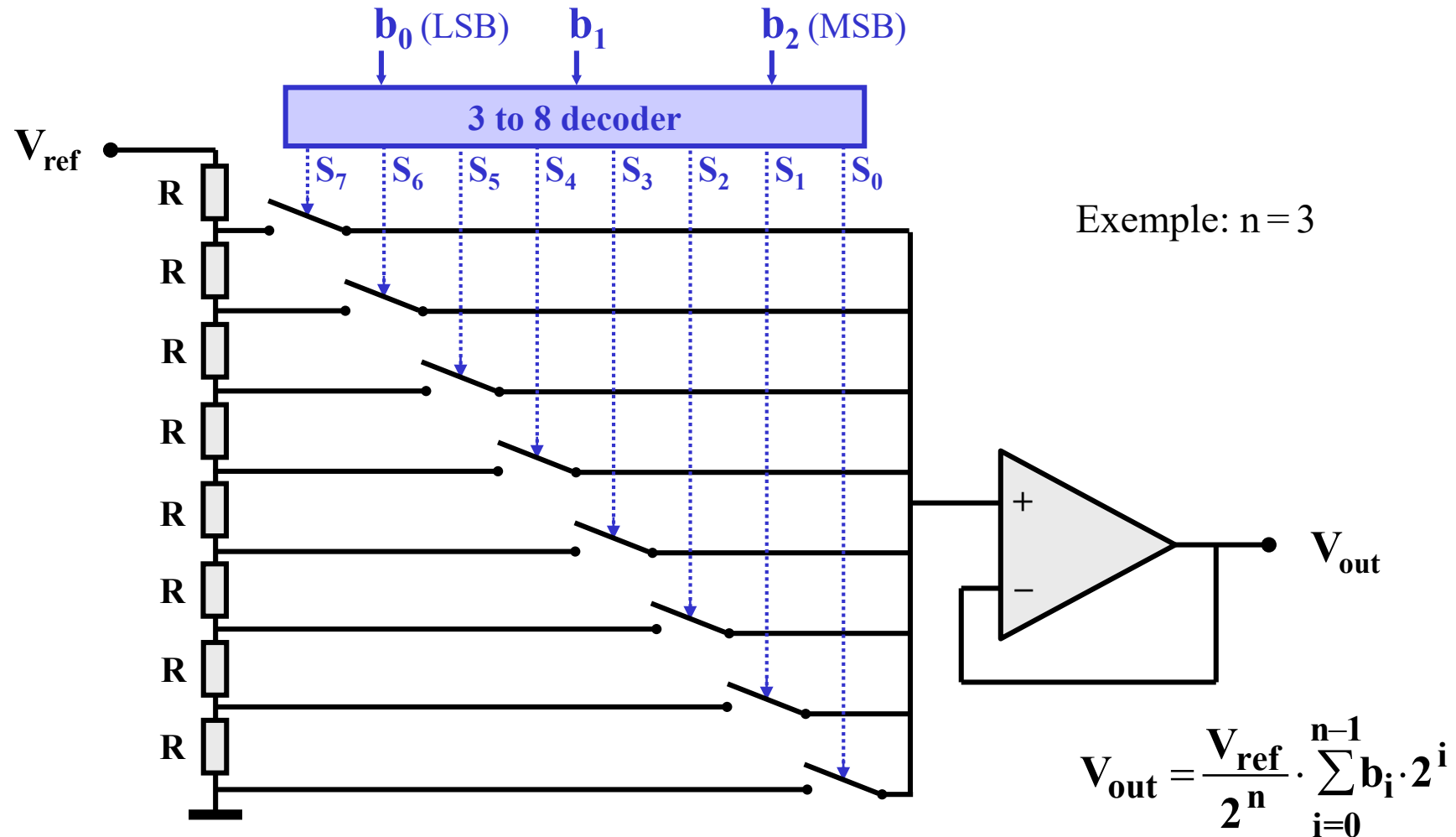
$$V_{out} = \frac{V_{ref}}{2^n} \cdot \sum_{i=0}^{n-1} b_i \cdot 2^i$$

## 2.1. CONVERTISSEURS N/A POTENTIOMETRIQUES



# 2.1. CONVERTISSEURS N/A POTENTIOMETRIQUES

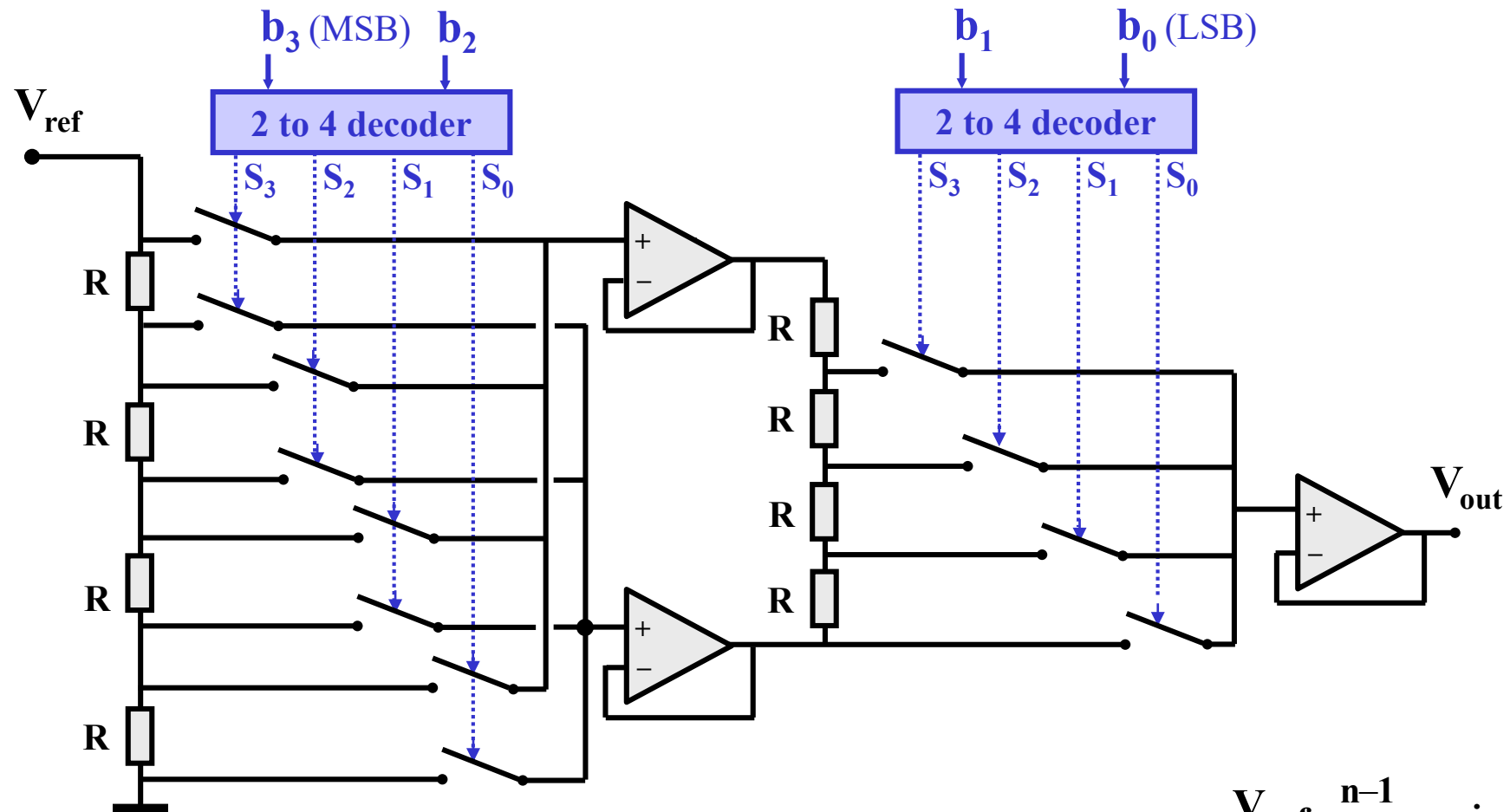
Variante avec multiplexeur et logique de décodage



## 2.1. CONVERTISSEURS POTENTIOMETRIQUES

Variante segmentée

But: réduire le nombre de composants



Exemple:  $n = 4$

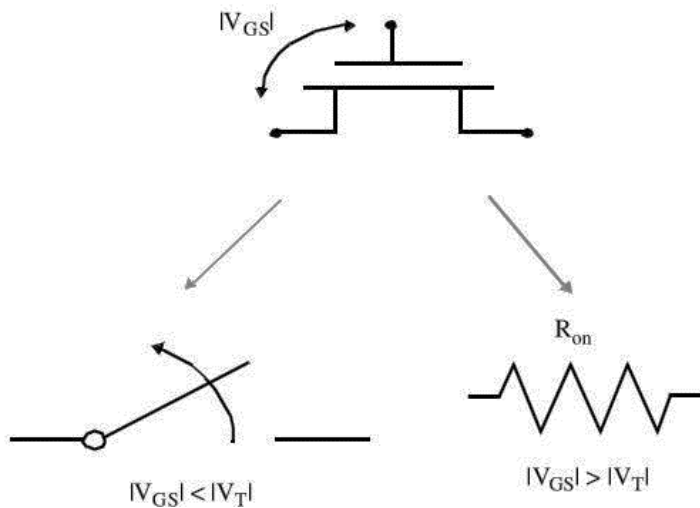
$$V_{out} = \frac{V_{ref}}{2^n} \cdot \sum_{i=0}^{n-1} b_i \cdot 2^i$$

## 2.1 CONVERTISSEURS POTENTIOMETRIQUES

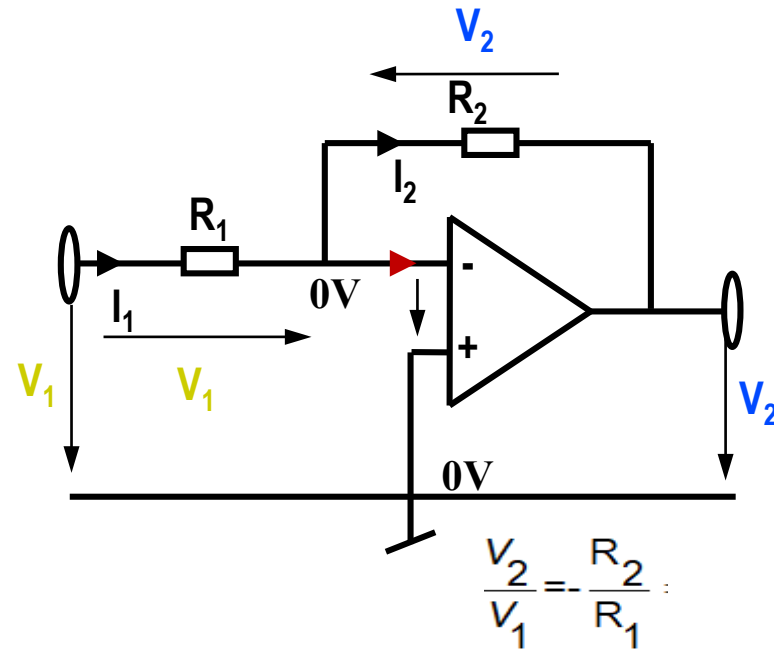
- ☺ Les switches sont bien adaptés aux caractéristiques du transistor MOS, leur résistance n'influence pas la précision, mais seulement le temps de réponse
- ☺ La monotonicité est garantie (sauf si segmenté)
- ☺ Pas d'erreur de gain: la dynamique de sortie est fixée par  $V_{ref}$
- ☹ Le nombre de composants devient rapidement prohibitif et limite la résolution  
Exemple: 8 bits => 256 résistances et 510 switches  
ou 256 résistances et 256 switches + 256 portes AND
- ☹ La segmentation réduit le nombre de composants, mais provoque des non-linéarités et peut engendrer une non-monotonicité

# Elements de base dans les convertisseurs N/A

## Switches en technologie CMOS

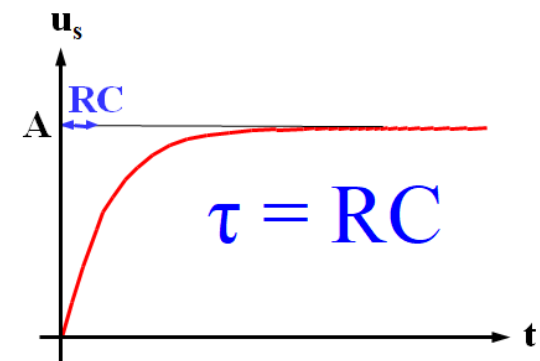
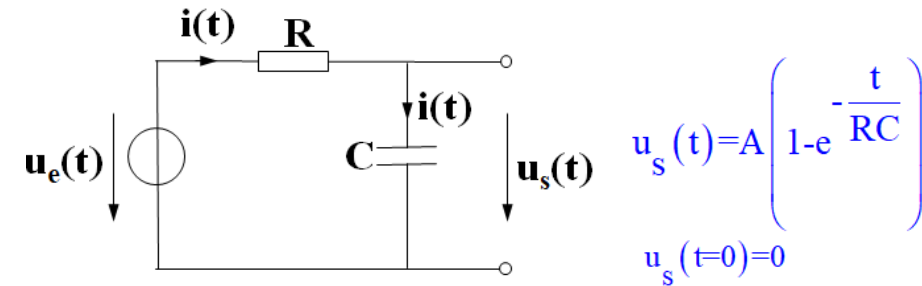


## L'ampli op avec réaction négative (aussi suiveur de tension, sommateur)



Rappelez vous les  
'2 golden rules'

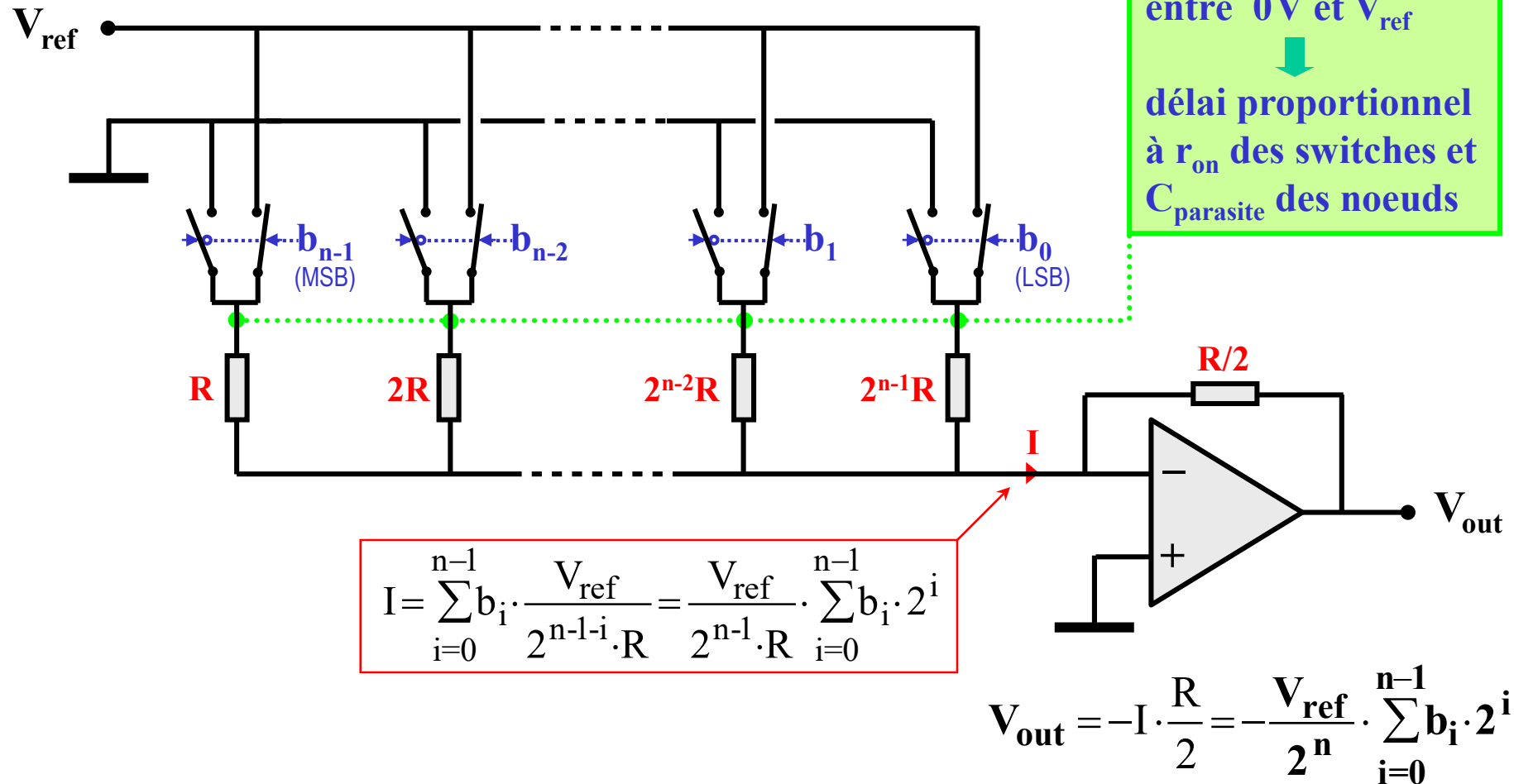
## Circuit RC



La constante de temps  $\tau$   
caractérise la rapidité du circuit.

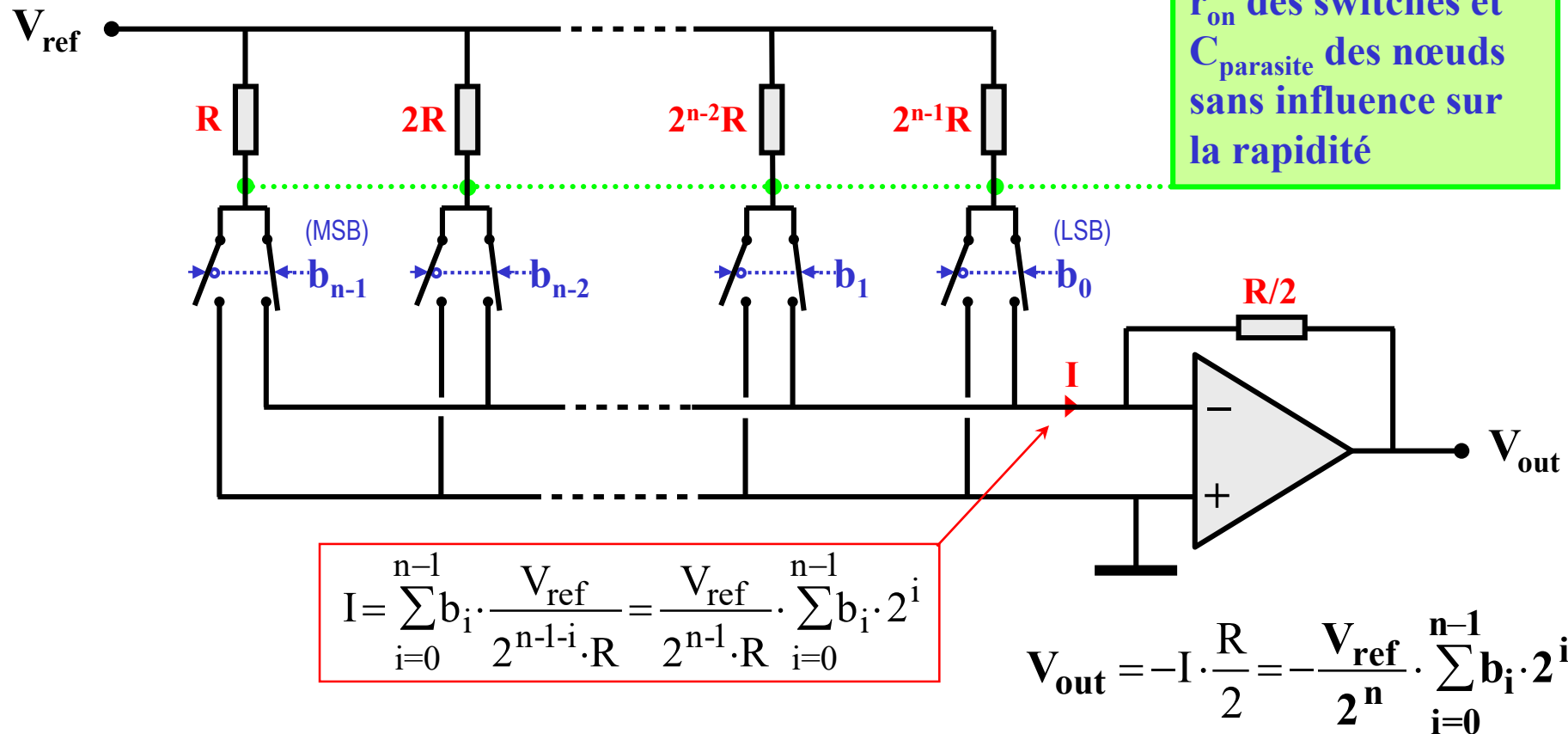
## 2.2. CONVERTISSEURS A RESISTANCES PONDEREES

### Variante 1: circuit à commutation de tension



## 2.2. CONVERTISSEUR A RESISTANCES PONDEREES

Variante 2: circuit à commutation de courant

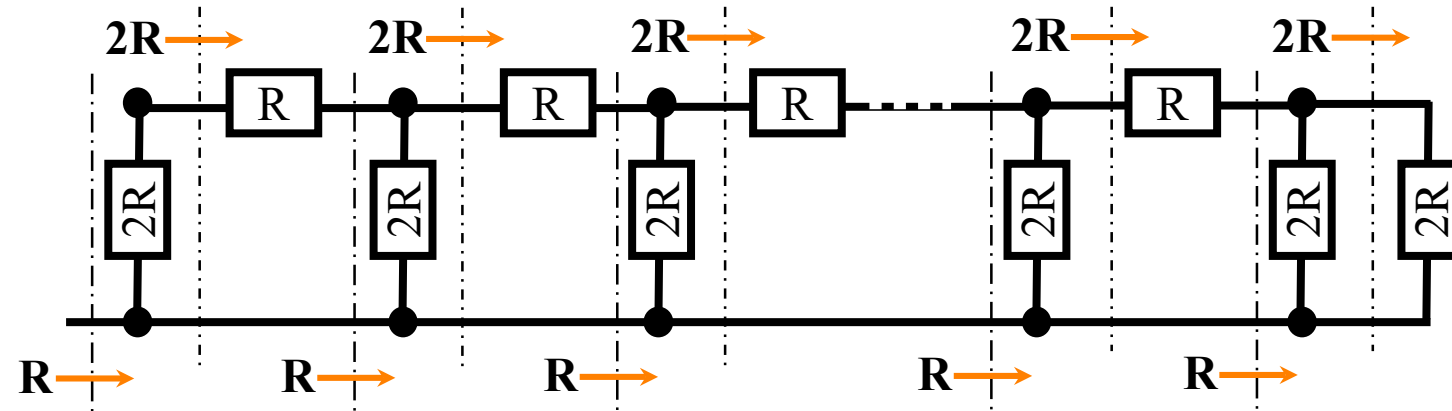


## 2.2. CONVERTISSEUR A RESISTANCES PONDEREES

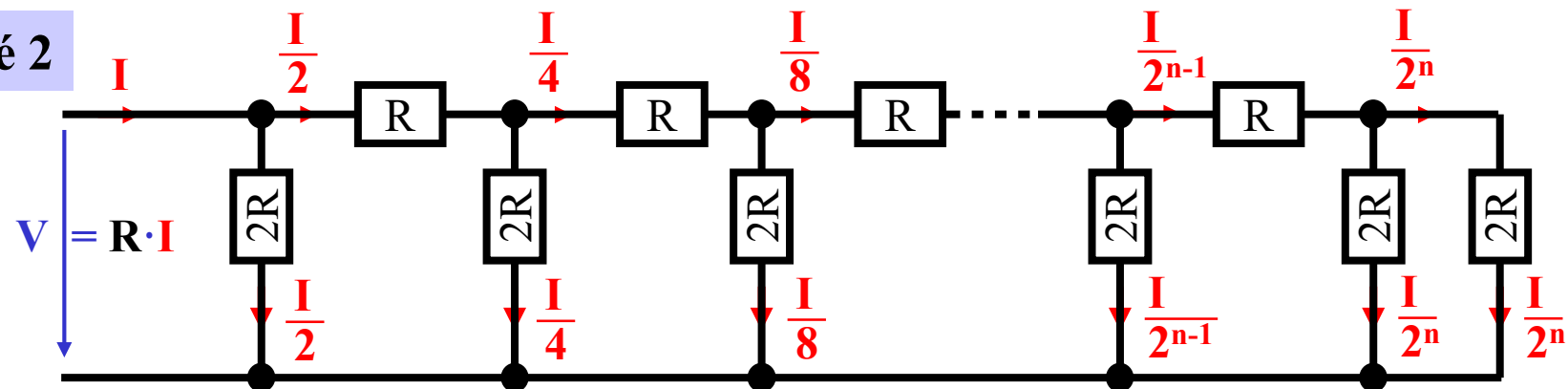
- ☺ Le nombre de résistances est limité à  $(n + 1)$
- ☹ Les rapports élevés dans les valeurs de résistances sont difficiles à réaliser avec précision, et à maintenir en fonction du temps et de la température
- ☹ La résistance parasite des switches  $r_{on}$  intervient en série avec les résistances utiles et limite également la précision
- ☺ Les transistors MOS sont bien adaptés aux exigences des switches de ce circuit, ce qui n'est pas le cas des transistors bipolaires.

## 2.3. CONVERTISSEURS: ECHELLE R/2R

Propriété 1

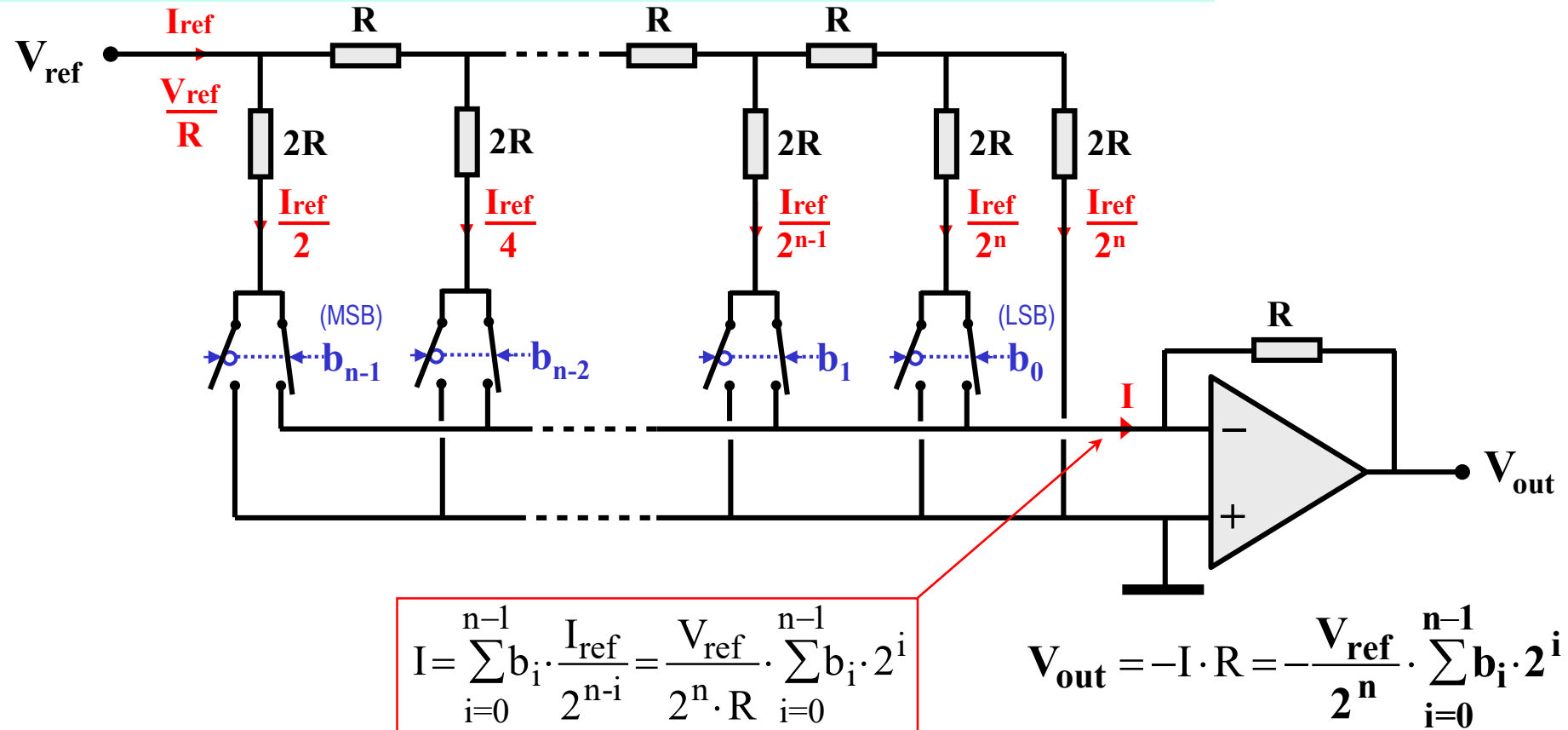


Propriété 2



## 2.3. CONVERTISSEURS: ECHELLE R/2R

### Convertisseur N/A à échelle R/2R et commutation de courant

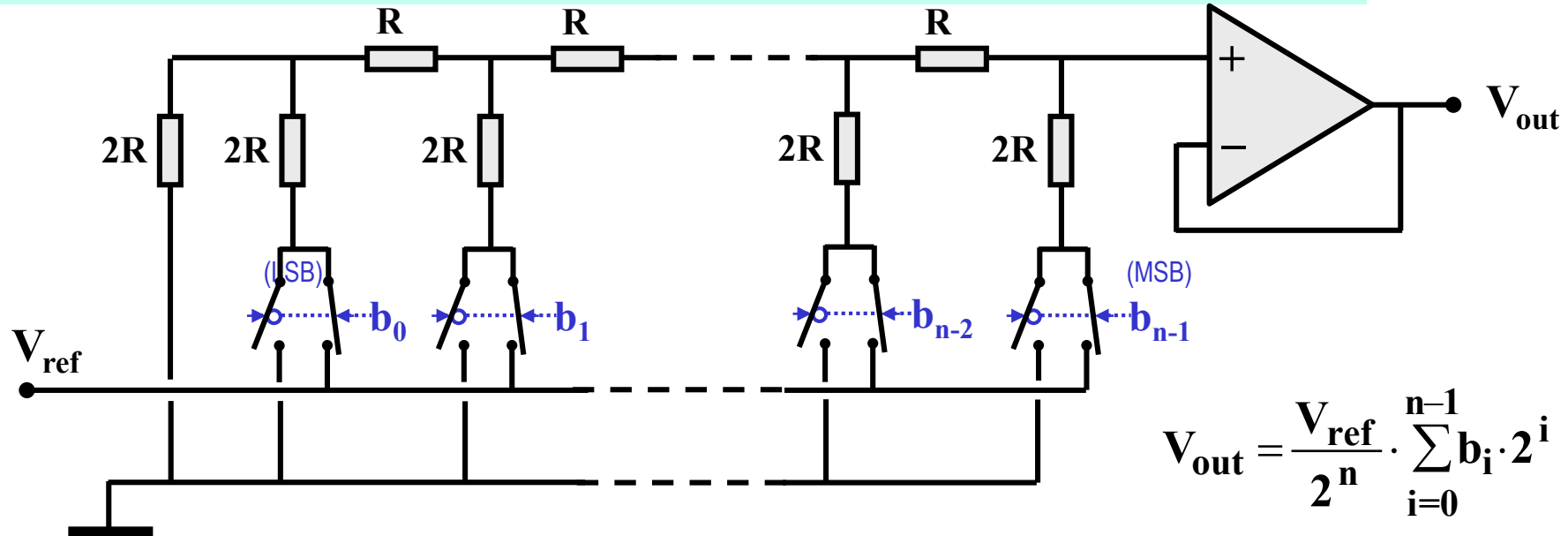


☺ Tous les nœuds sont à des potentiels fixes => rapidité

☹  $V_{\text{ref}}$  et  $V_{\text{out}}$  de polarité opposée => alimentations + et - nécessaires

## 2.3. CONVERTISSEURS: ECHELLE R/2R

### Convertisseur N/A à échelle R/2R inversée et commutation de tension



☺ Tous les nœuds sont à des potentiels de même polarité  
=> ce circuit peut fonctionner avec une seule alimentation

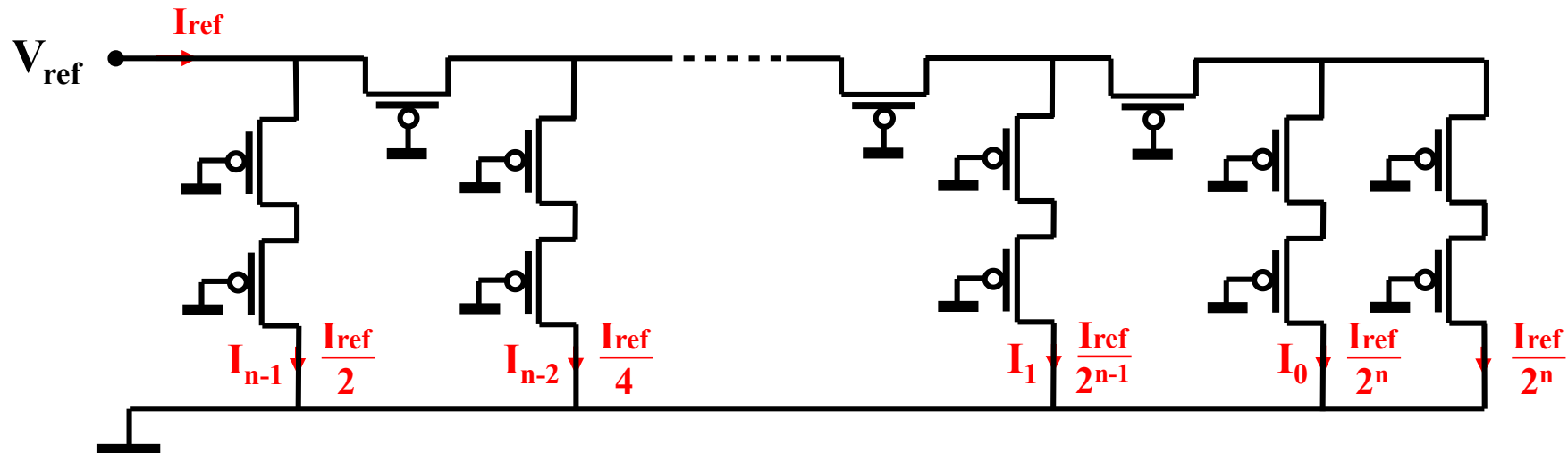
☹ Vitesse limité par les constantes RC aux divers nœuds à des potentiels variables selon le code d'entrée

## 2.3 CONVERTISSEURS: ECHELLE $R/2R$

- Le nombre de résistances est limité à  $(2n+2)$
- Les rapports de résistances sont très précis et stables, car on emploie uniquement des résistances de valeur identique ( $2R = R + R$ )
- La résistance parasite  $r_{on}$  des switches s'ajoute en série avec la résistance  $2R$  des branches verticales, ce qui limite la précision.
- Il est toutefois possible d'avoir  $r_{on} \ll 2R$
- Les transistors MOS sont bien adaptés aux exigences des switches de ce circuit, ce qui n'est pas le cas des transistors bipolaires.

## 2.3. CONVERTISSEURS: ECHELLE M/2M

On obtient l'équivalent d'une échelle R/2R en remplaçant chaque élément R par un transistor PMOS

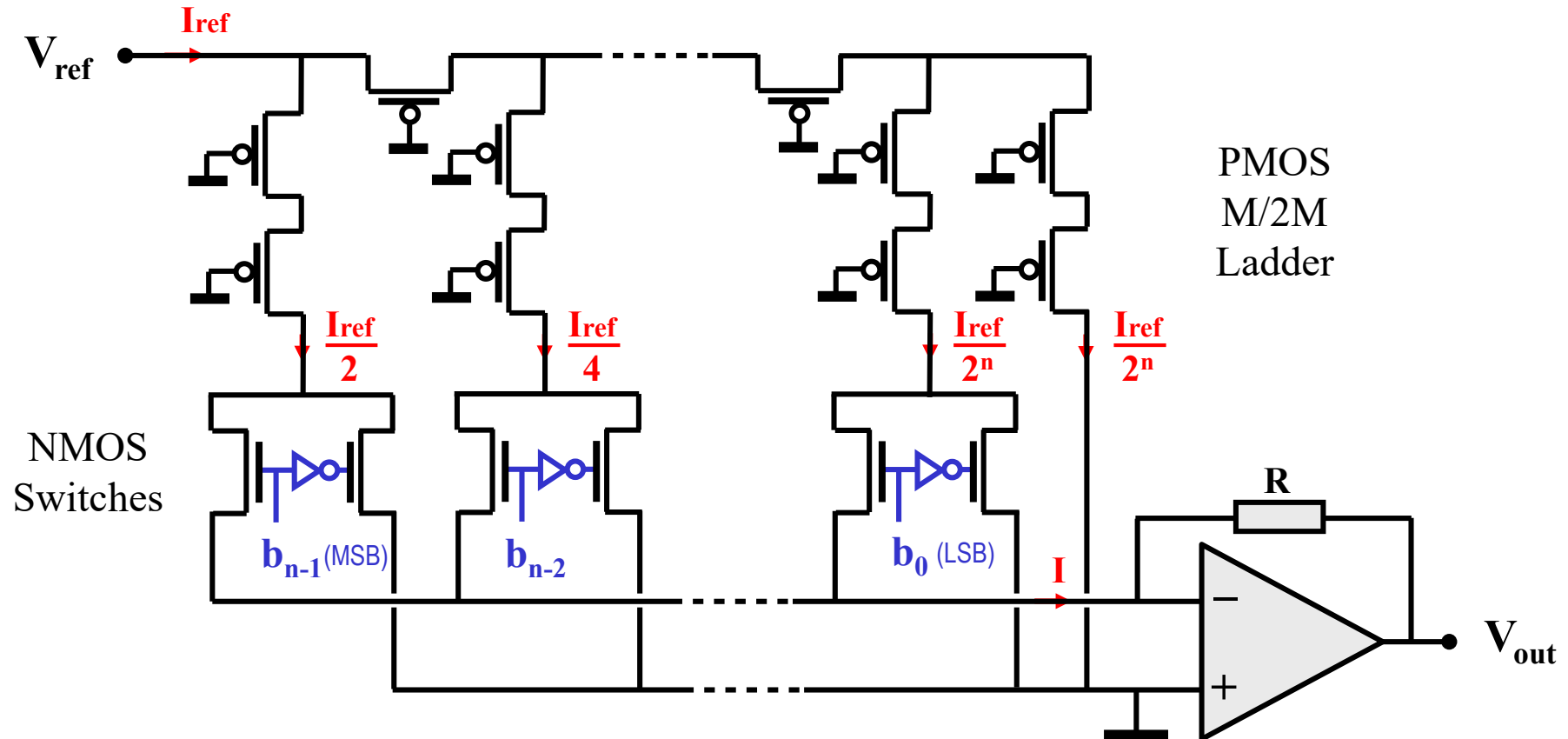


☺ En technologie MOS, la solution M/2M occupe moins de surface que la solution R/2R, elle est donc plus économique.

☹ La précision du rapport des courants est moindre qu'avec des résistances.

## 2.3. CONVERTISSEURS: ECHELLE M/2M

### Convertisseur N/A à échelle M/2M à commutation de courant

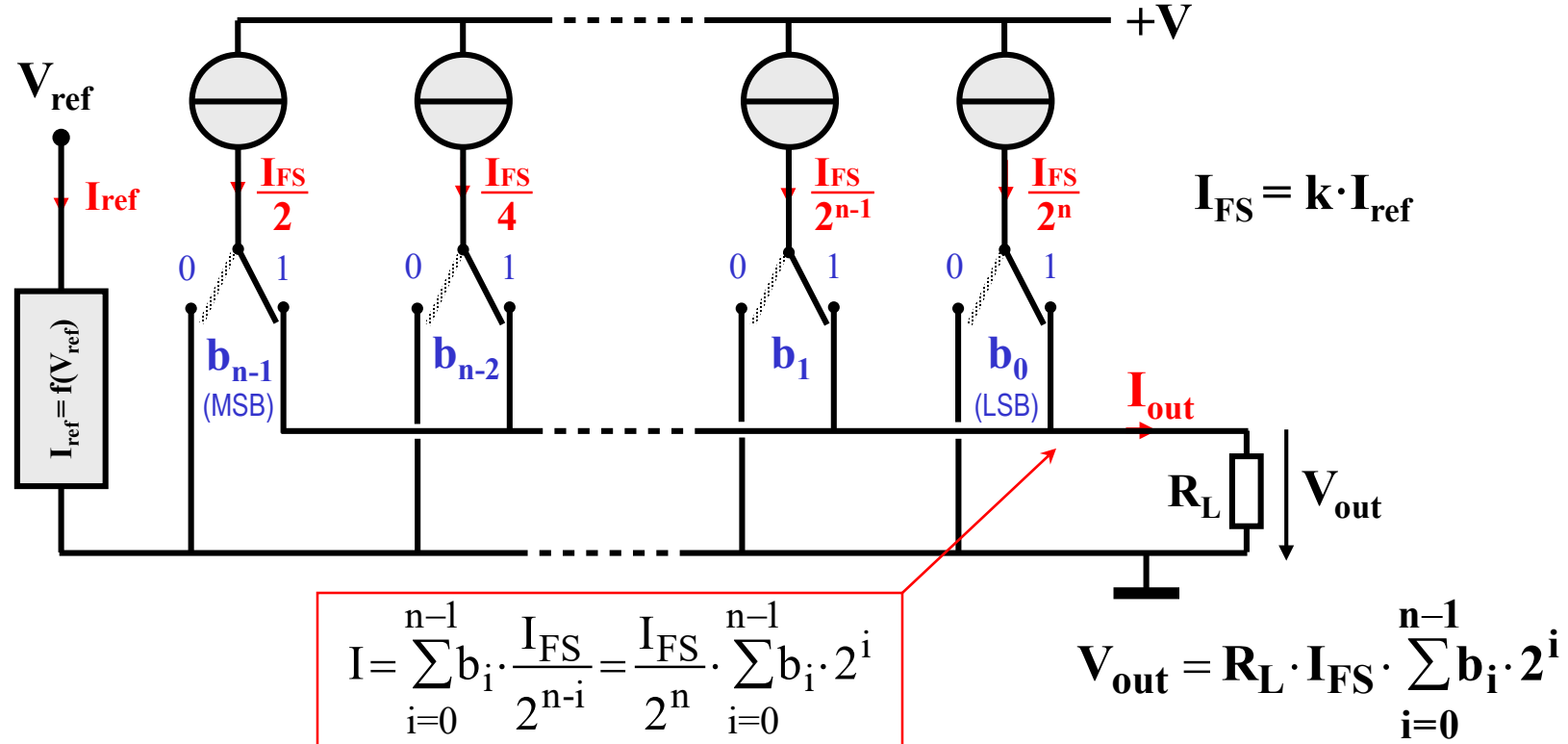


La précision est limitée à environ 8 bits

$$V_{out} = -\frac{R \cdot I_{ref}}{2^n} \cdot \sum_{i=0}^{n-1} b_i \cdot 2^i$$

## 2.4. CONVERTISSEURS A SOURCES DE COURANT PONDEREES

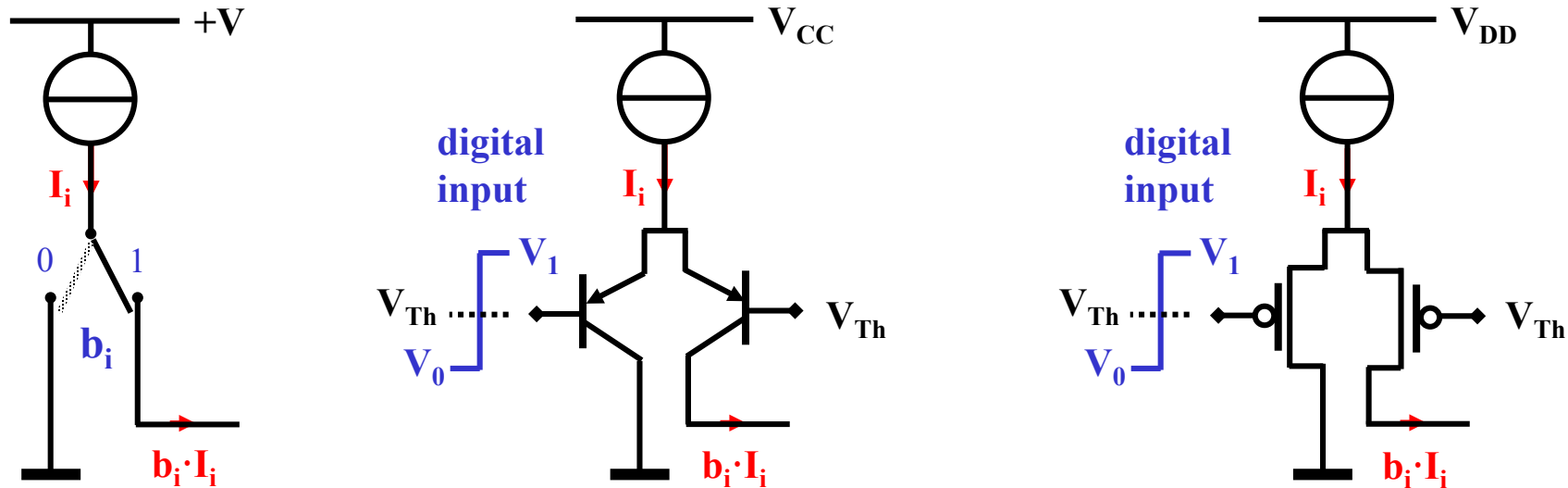
Principe avec charge passive



L'utilisation de sources de courant permet de s'affranchir du problème de la résistance parasite des commutateurs. Ceux-ci peuvent être réalisés à volonté avec des MOS ou des bipolaires.

## 2.4. CONVERTISSEURS A SOURCES DE COURANT PONDEREES

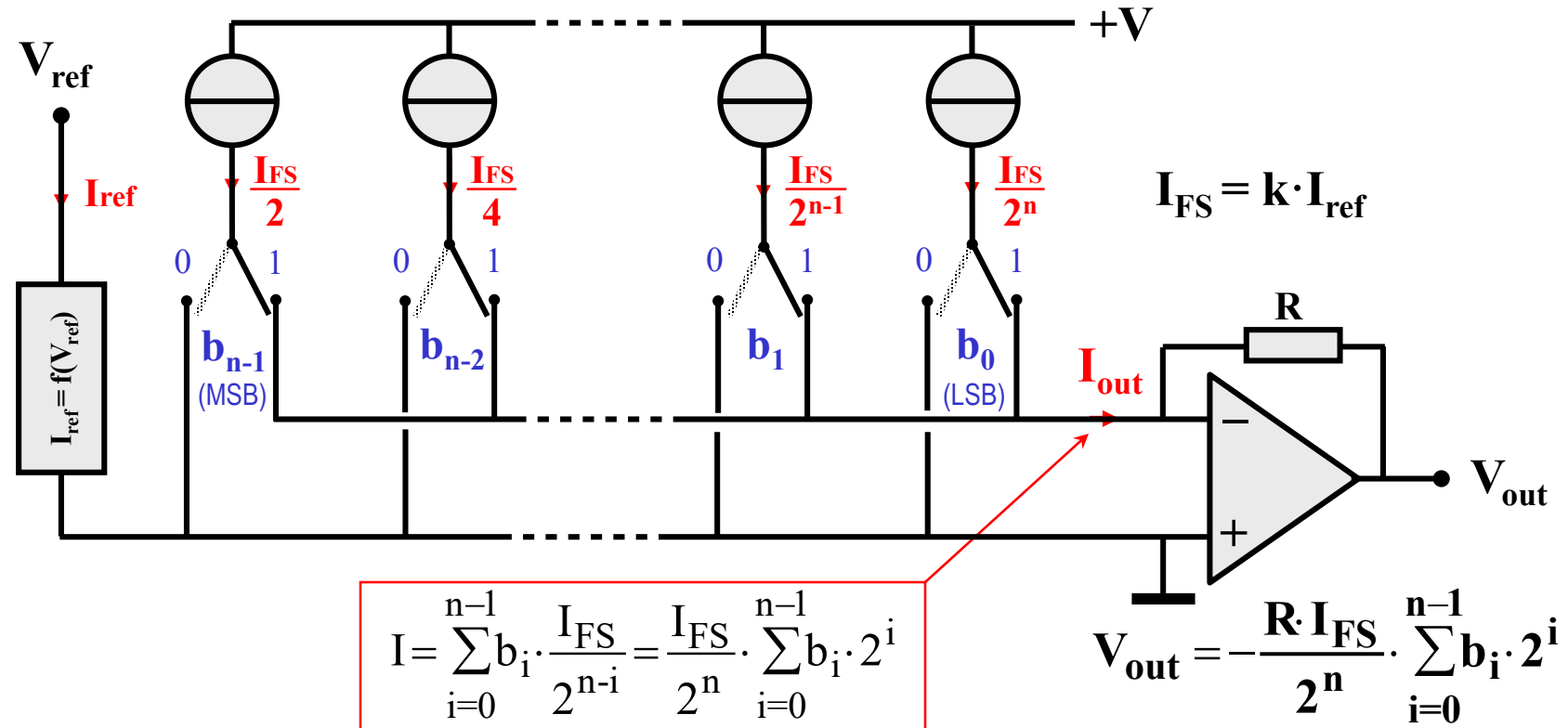
### Aiguillages de courant



Une paire différentielle permet de réaliser un aiguillage de courant quasi-parfait, rapide et indépendant des imperfections des transistors.

## 2.4. CONVERTISSEURS A SOURCES DE COURANT PONDEREES

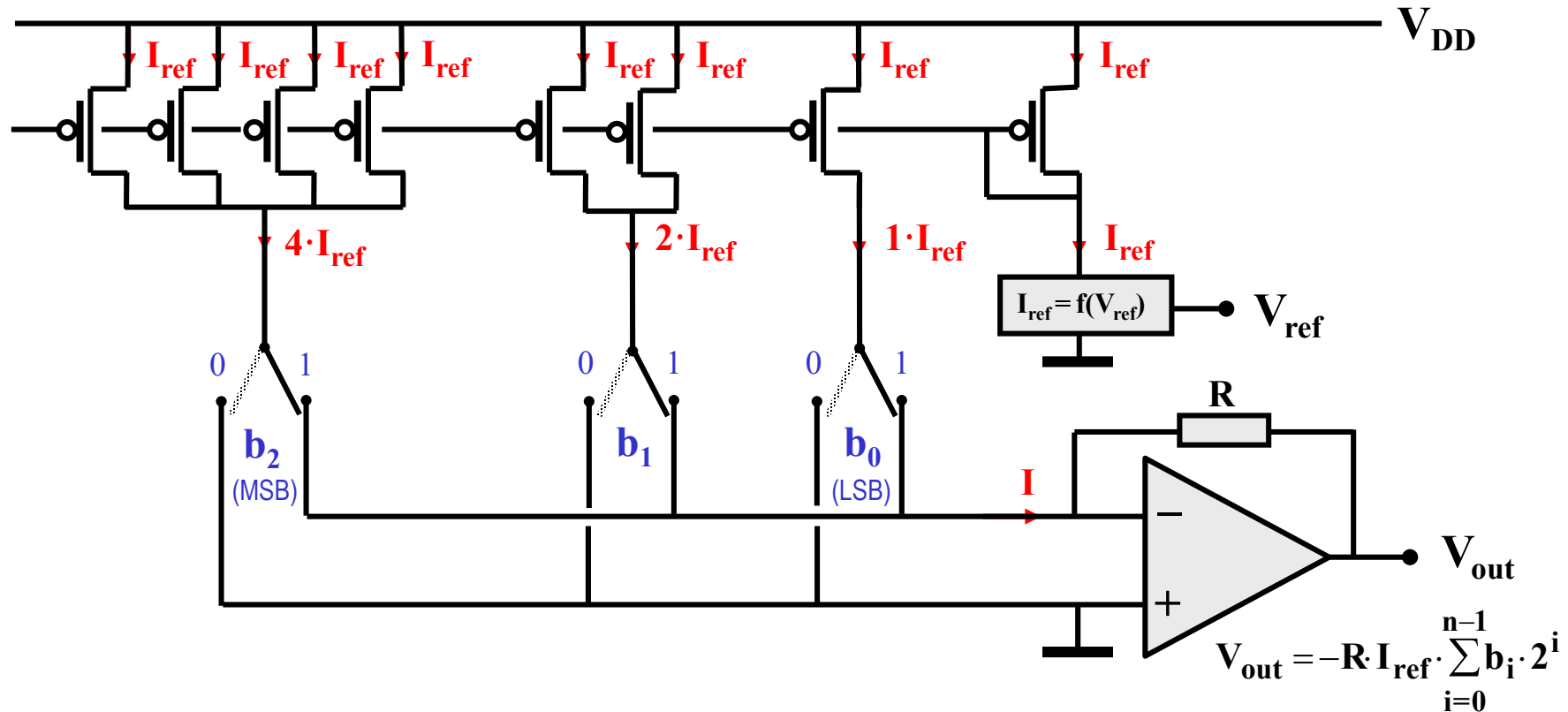
Principe avec ampli op



La résistance interne des sources n'a pas d'effet sur la précision.

## 2.4. CONVERTISSEURS A SOURCES DE COURANT PONDEREES

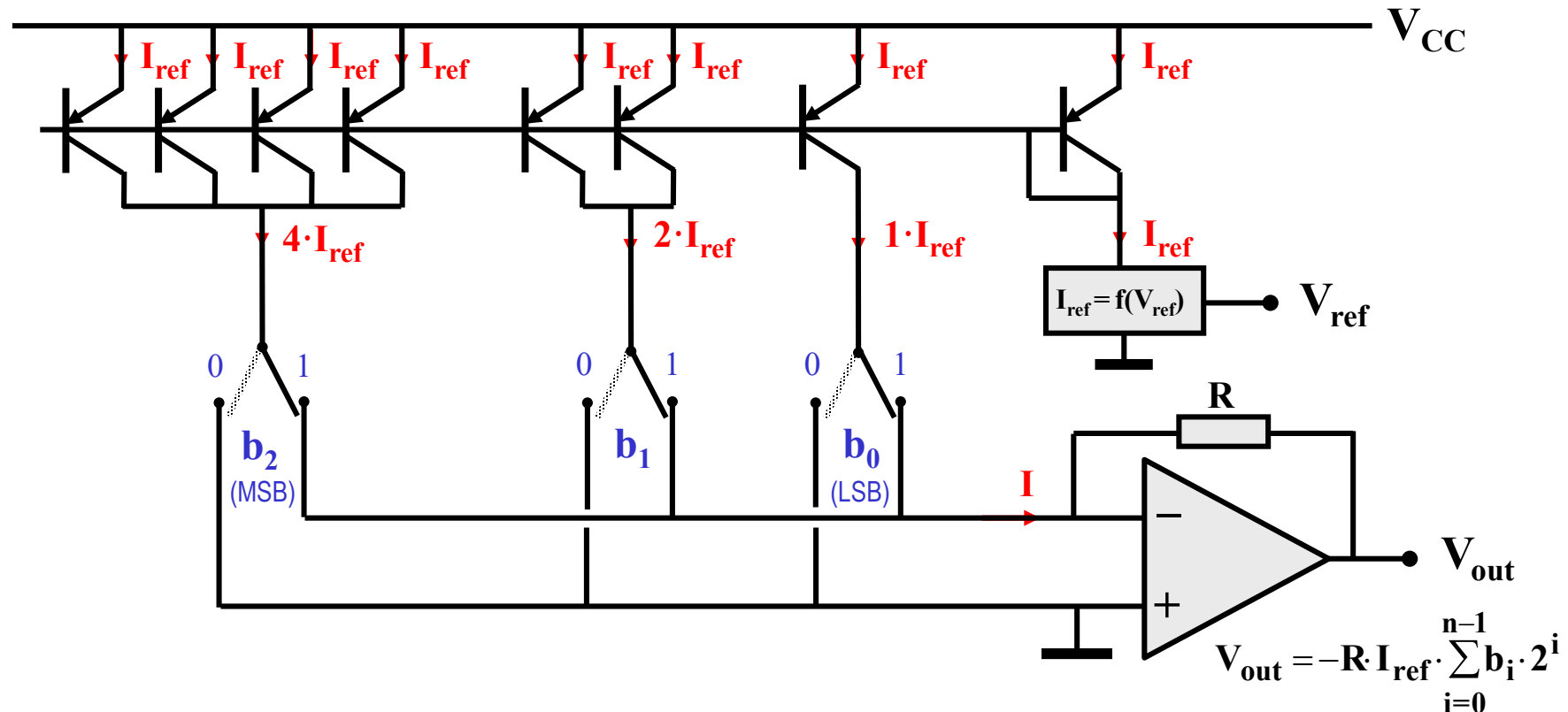
### Convertisseur N/A MOS à sources de courant pondérées



Excellent convertisseur, simple à réaliser, mais limité aux environs de 8 bits par la surface prohibitive des blocs de transistors de rang supérieur.

## 2.4. CONVERTISSEURS A SOURCES DE COURANT PONDEREES

Convertisseur N/A bipolaire à sources de courant pondérées

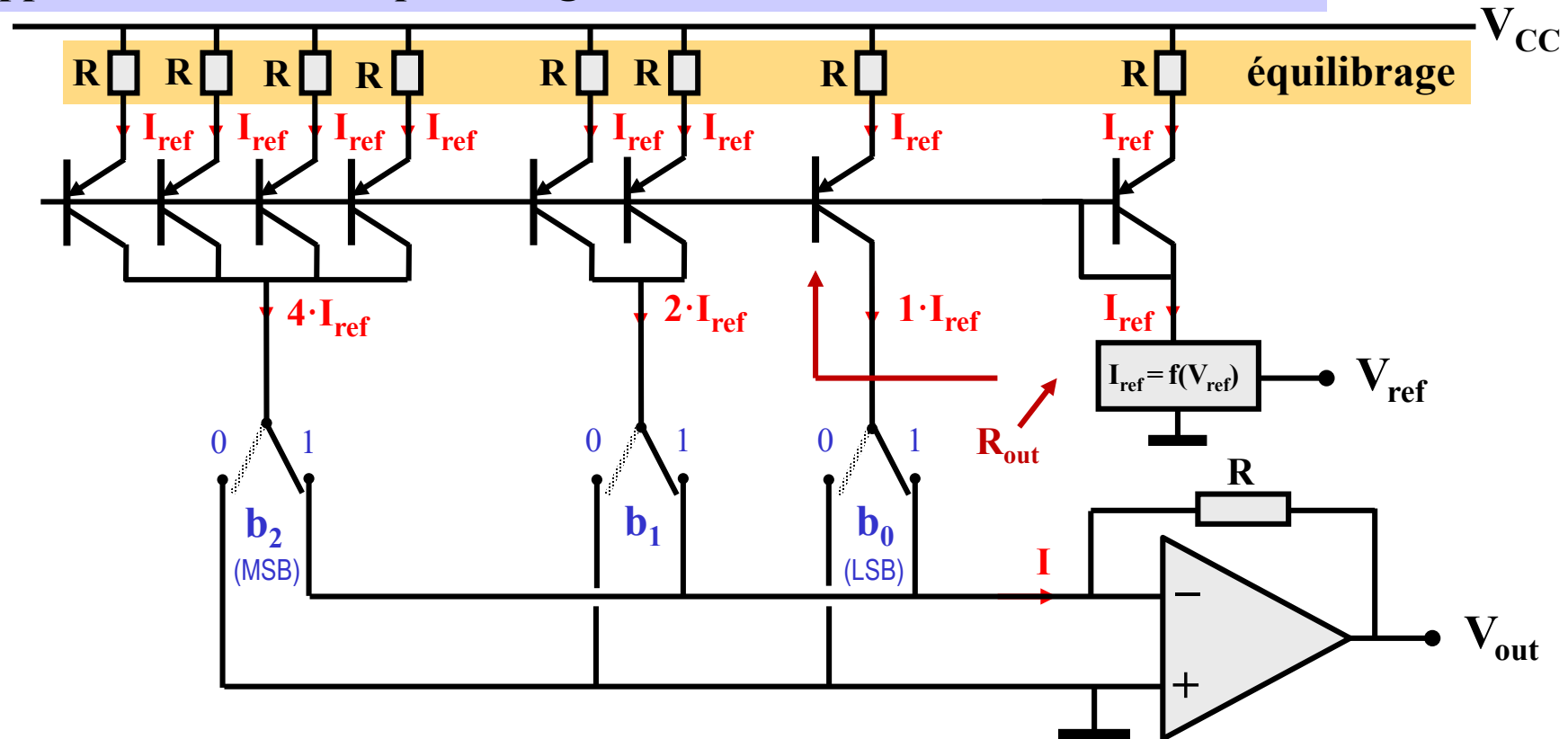


Ce schéma de base est limitée à un ordre de 4 ou 5 bits par les imperfections d'appariement des transistors, dont le courant dépend exponentiellement de  $V_{BE}$ .

## 2.4. CONVERTISSEURS A SOURCES DE COURANT PONDEREES

Convertisseur N/A bipolaire à sources de courant pondérées

Appariement amélioré par l'usage de résistances série dans les émetteurs

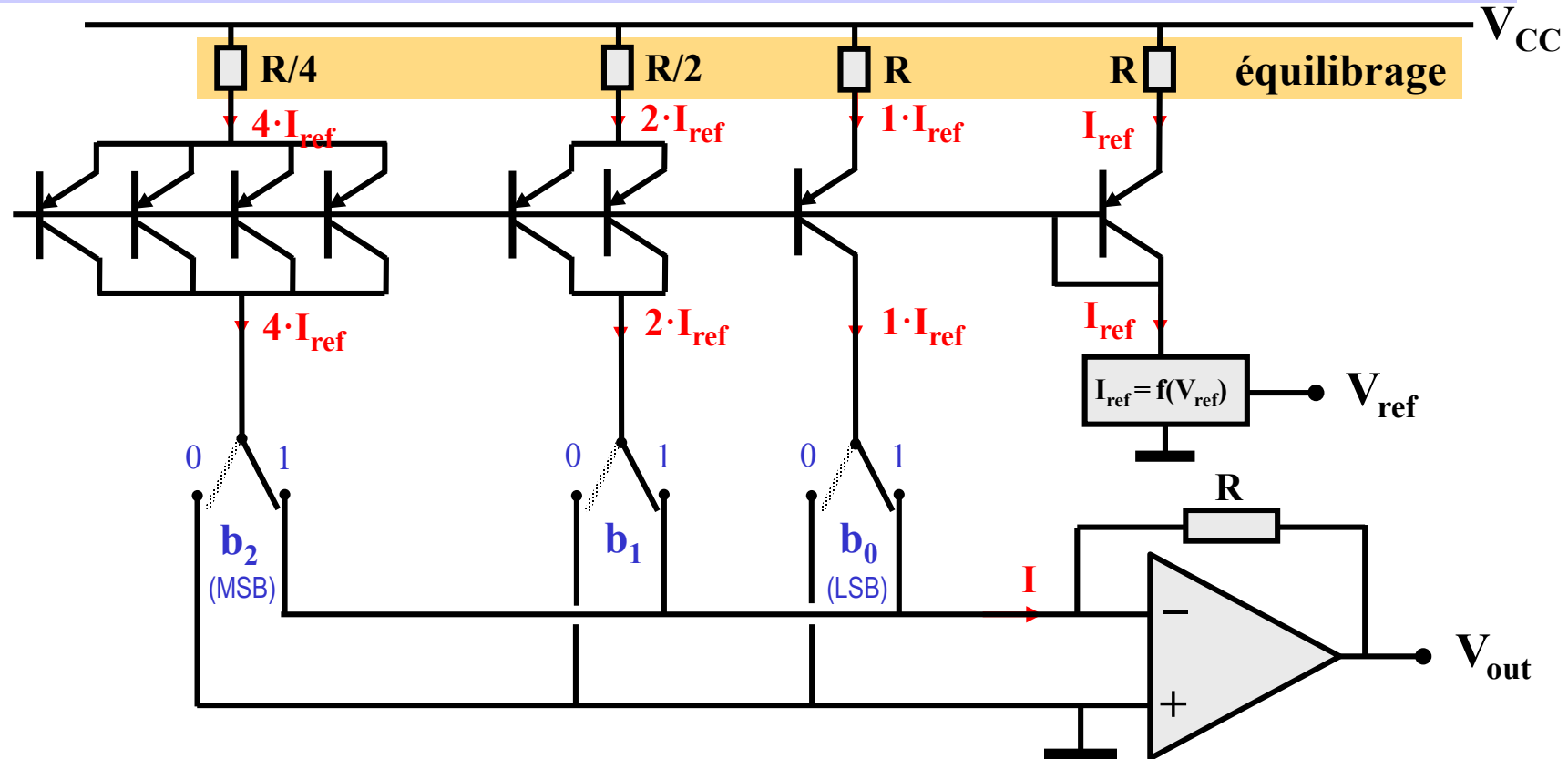


Ce schéma est limité en pratique à un ordre de 7 à 8 bits par la surface des transistors multiples et de leurs résistances.

## 2.4. CONVERTISSEURS A SOURCES DE COURANT PONDEREES

Convertisseur N/A bipolaire à sources de courant pondérées

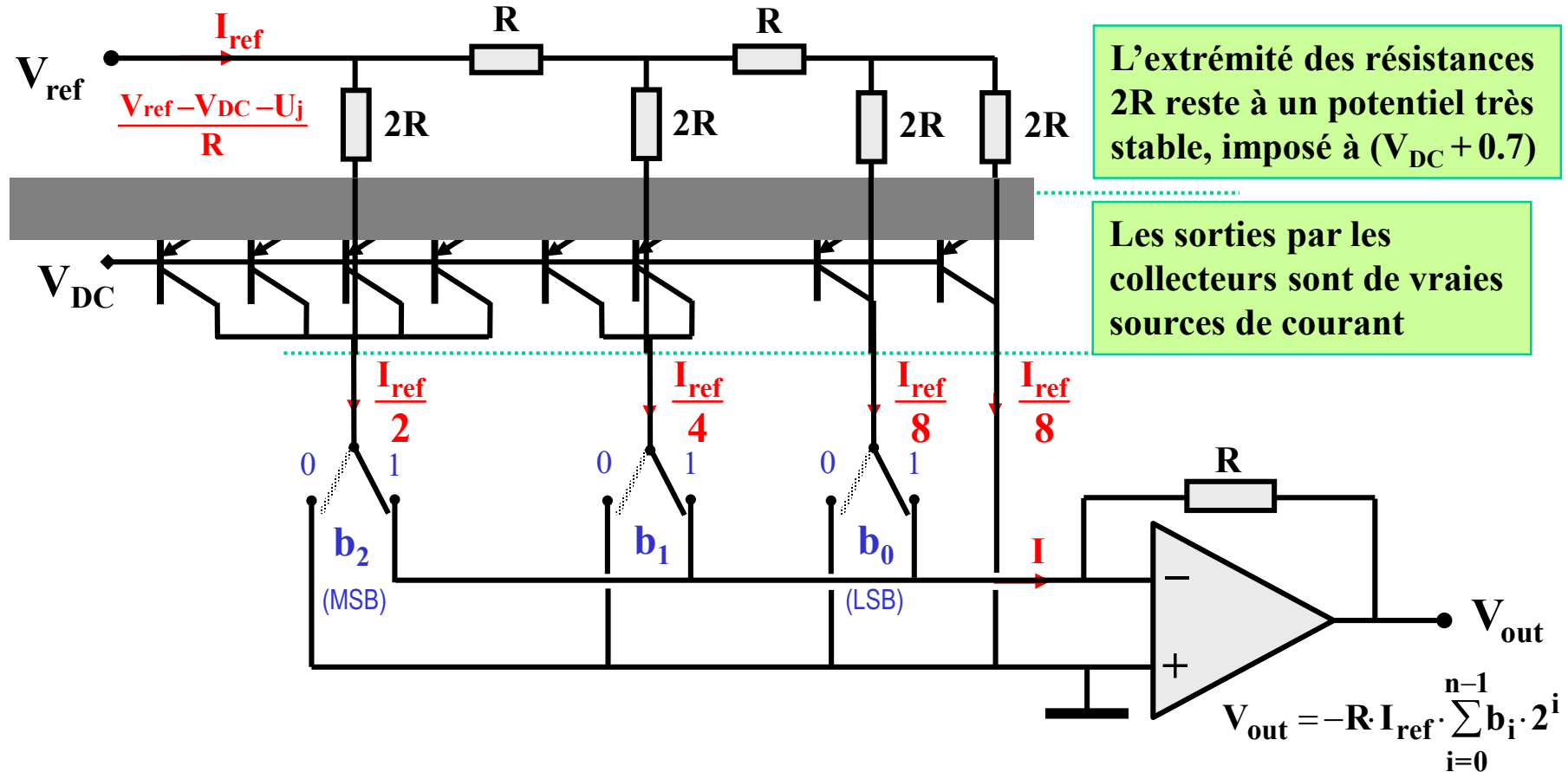
Appariement amélioré par l'usage de résistances série pondérées dans les émetteurs



On retrouve dans ce cas la limite pratique à 7 ou 8 bits à cause des erreurs d'appariement des résistances de valeurs pondérées selon les puissances de 2.

## 2.4. CONVERTISSEURS A SOURCES DE COURANT PONDEREES

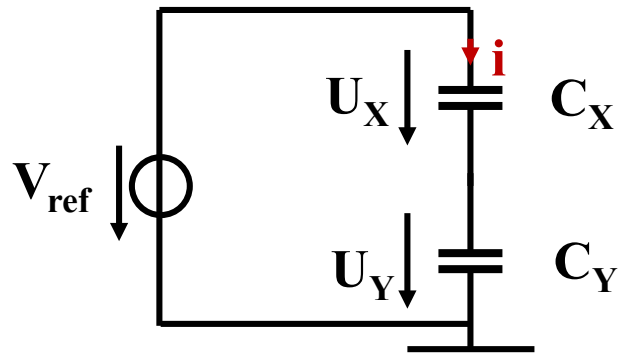
Convertisseur N/A bipolaire à échelle R/2R et sources de courant pondérées



Solution bipolaire de haute précision, limitée par la taille des transistors multiples.  
Cette limitation peut être contournée par la segmentation en 2 ou 3 tronçons.

## Loi physique d'une capacité


 $q = C \cdot u$   
 $dq/dt = C \, du/dt$   
 $i = C \, du/dt$



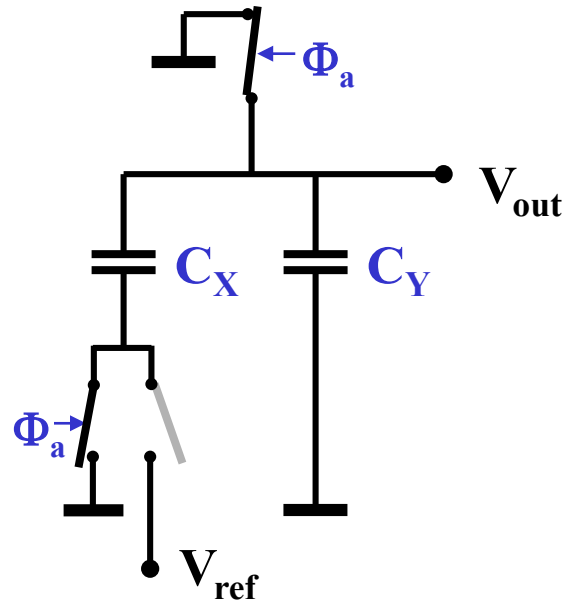
$$Q_1 = Q_2 = \int \mathbf{i(t)} dt$$

$$\mathbf{U}_Y = \frac{\mathbf{C}_X}{\mathbf{C}_X + \mathbf{C}_Y} \cdot \mathbf{V}_{\text{ref}} = \frac{\mathbf{C}_X}{\mathbf{C}_{\text{tot}}} \cdot \mathbf{V}_{\text{ref}}$$

## 2.5. CONVERTISSEURS N/A CMOS A CAPACITES PONDEREES

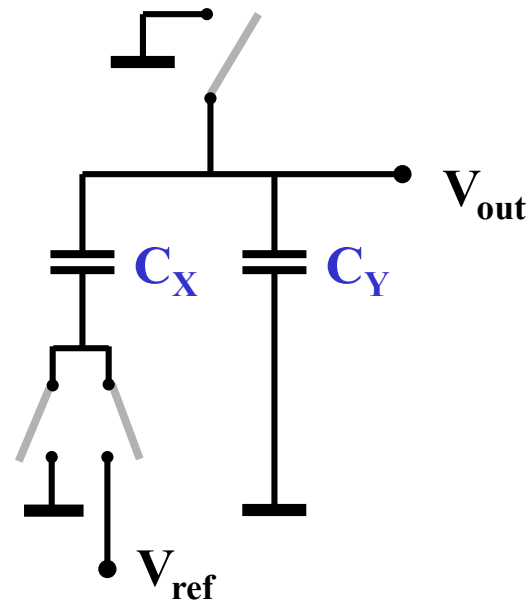
Variante 1: distribution passive de charge

Principe (1/2)



*Phase a*

Décharge de  $C_X$  et  $C_Y$   
 $V_{out} = 0$  et  $Q_X = Q_Y = 0$



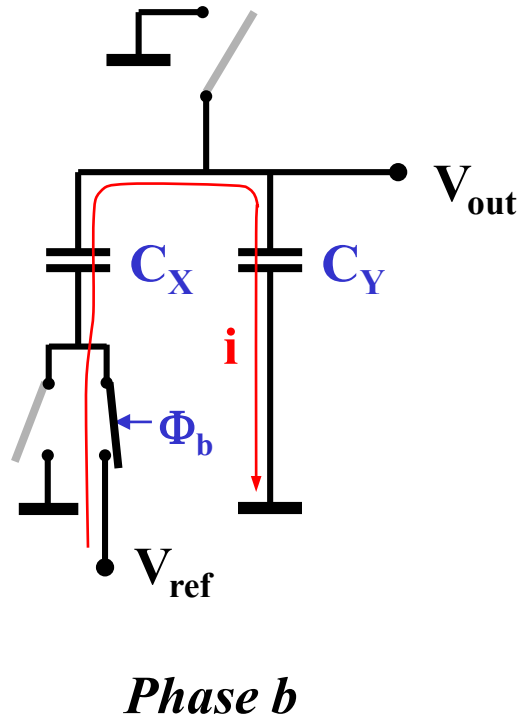
*Phase intermédiaire*

*Tous ouverts*

## 2.5. CONVERTISSEURS N/A CMOS A CAPACITES PONDEREES

Variante 1: distribution passive de charge

Principe (2/2)



Au terme de la charge :

$$Q_X = C_X \cdot (V_{\text{ref}} - V_{\text{out}})$$

$$Q_Y = C_Y \cdot V_{\text{out}}$$

Les 2 capacités ont été parcourues par le même courant  $i(t)$  durant toute la phase b



$$Q_X = Q_Y = \int i(t) dt$$

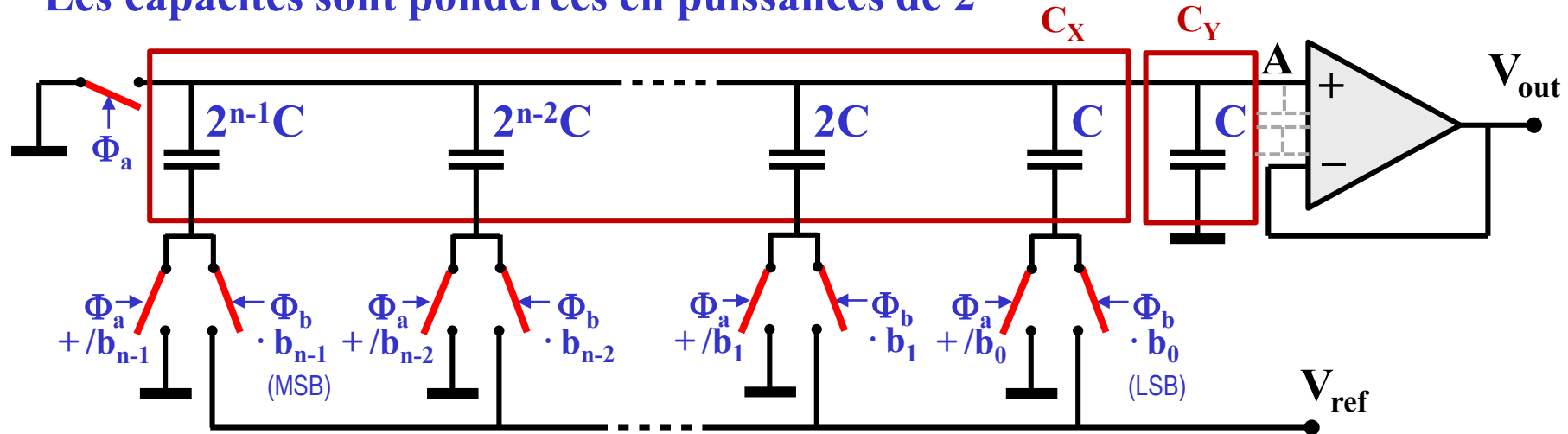
$$C_X \cdot (V_{\text{ref}} - V_{\text{out}}) = C_Y \cdot V_{\text{out}}$$

$$V_{\text{out}} = \frac{C_X}{C_X + C_Y} \cdot V_{\text{ref}} = \frac{C_X}{C_{\text{tot}}} \cdot V_{\text{ref}}$$

## 2.5. CONVERTISSEURS N/A CMOS A CAPACITES PONDEREES

Variante 1: CNA à capacités pondérées et distribution passive de charge

Les capacités sont pondérées en puissances de 2



En se référant aux capacités  $C_X$  et  $C_{tot}$  du circuit de principe, on a ici:

$$C_X = b_0 \cdot C + b_1 \cdot 2C + \dots + b_{n-2} \cdot 2^{n-2}C + b_{n-1} \cdot 2^{n-1}C$$

$$C_{tot} = C_X + C_Y = C + C + 2C + \dots + 2^{n-2}C + 2^{n-1}C = 2^n C$$



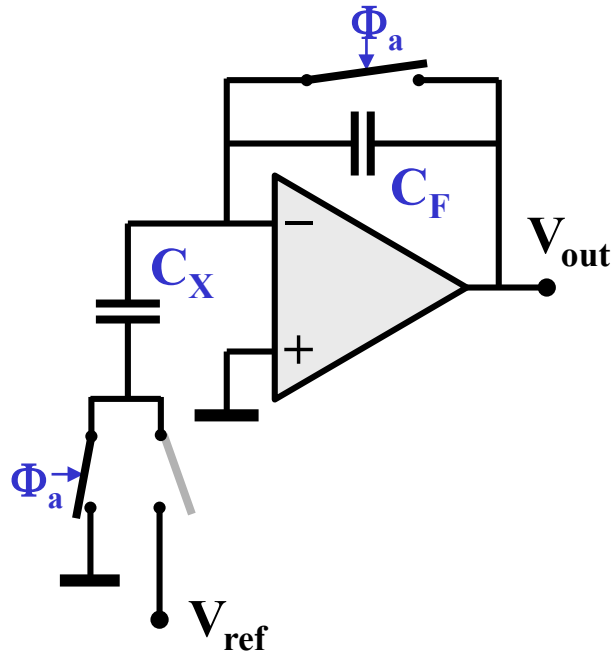
$$V_{out} = \frac{V_{ref}}{2^n} \cdot \sum_{i=0}^{n-1} b_i \cdot 2^i$$

⊗ Influence de la capacité parasite globale au nœud A qui s'ajoute à  $C_{tot}$

## 2.5. CONVERTISSEURS N/A CMOS A CAPACITES PONDEREES

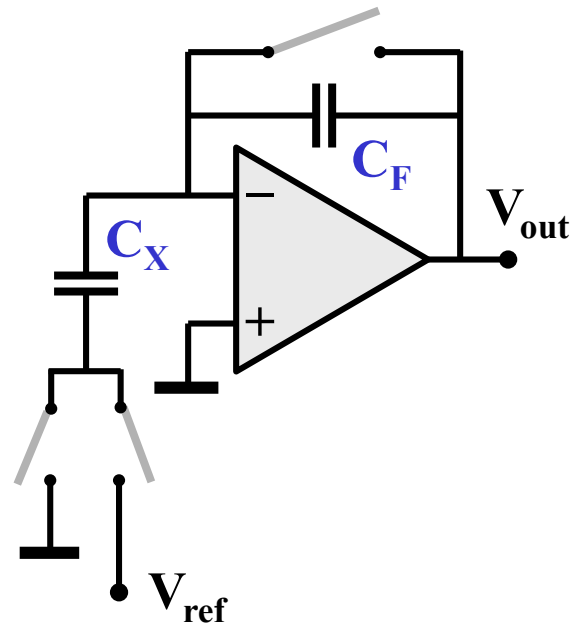
Variante 2: distribution active de charge

Principe (1/2)



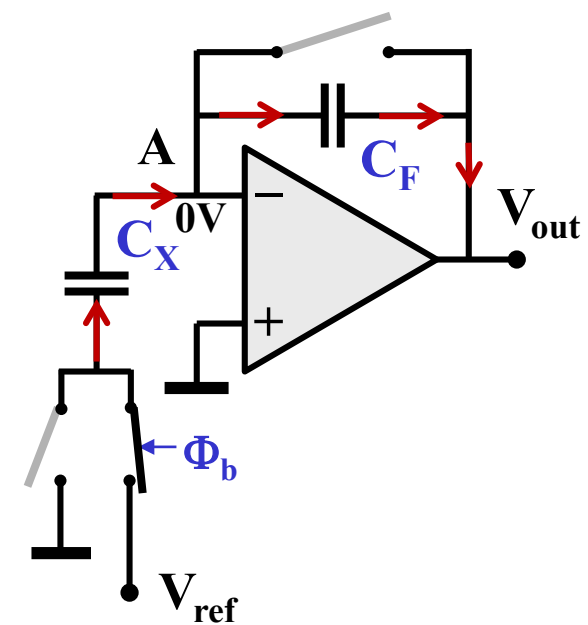
*Phase a*

Décharge de  $C_X$  et  $C_Y$



*Phase intermédiaire*

Tous ouverts



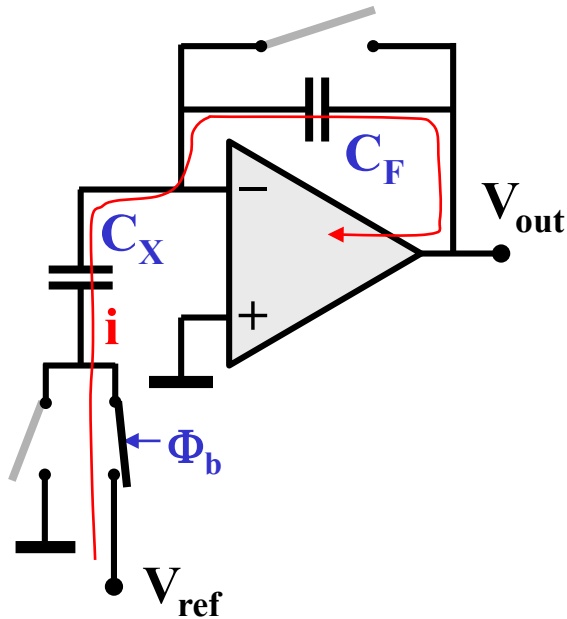
*Phase b*

Charge par  $V_{ref}$  de  $C_X$  et  
par l'AO de  $C_Y$

## 2.5. CONVERTISSEURS N/A CMOS A CAPACITES PONDEREES

Variante 2: distribution active de charge

Principe (2/2)



*Phase b*

Au terme de la charge :

$$Q_X = C_X \cdot V_{\text{ref}}$$

$$Q_F = C_F \cdot (-V_{\text{out}})$$

Les 2 capacités ont été parcourues par le même courant  $i(t)$  durant toute la phase b



$$Q_X = Q_F = \int i(t) dt$$

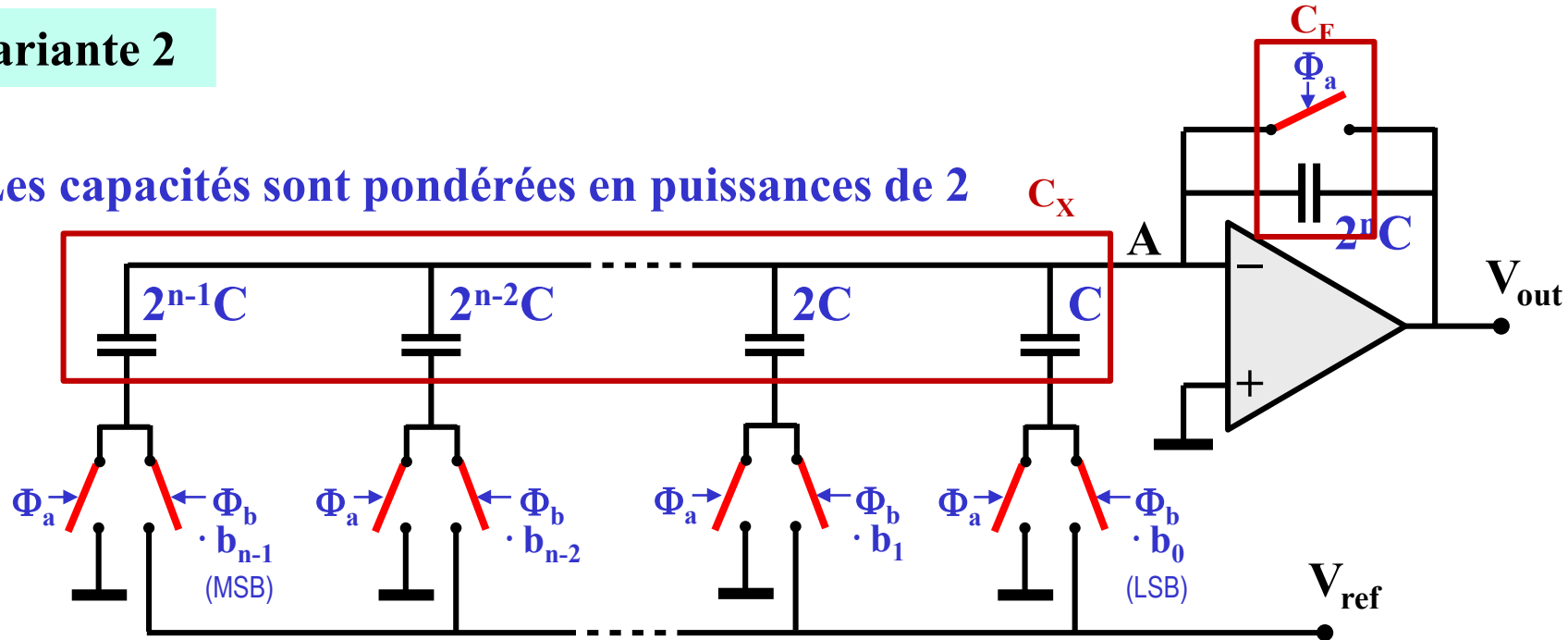
$$C_X \cdot V_{\text{ref}} = -C_F \cdot V_{\text{out}}$$

$$V_{\text{out}} = -\frac{C_X}{C_F} \cdot V_{\text{ref}}$$

## 2.5. CONVERTISSEURS N/A CMOS A CAPACITES PONDEREES

### Variante 2

Les capacités sont pondérées en puissances de 2



En se référant aux capacités  $C_X$  et  $C_F$  du circuit de principe, on a ici:

$$C_X = b_0 \cdot C + b_1 \cdot 2C + \dots + b_{n-2} \cdot 2^{n-2}C + b_{n-1} \cdot 2^{n-1}C$$

$$C_F = 2^n C$$



$$V_{out} = -\frac{V_{ref}}{2^n} \cdot \sum_{i=0}^{n-1} b_i \cdot 2^i$$

- ☺ Insensible à la capacité parasite globale au nœud A qui est à un potentiel cst
- ☹ Mais capacité totale, donc surface de Si, double à cause de  $C_F$

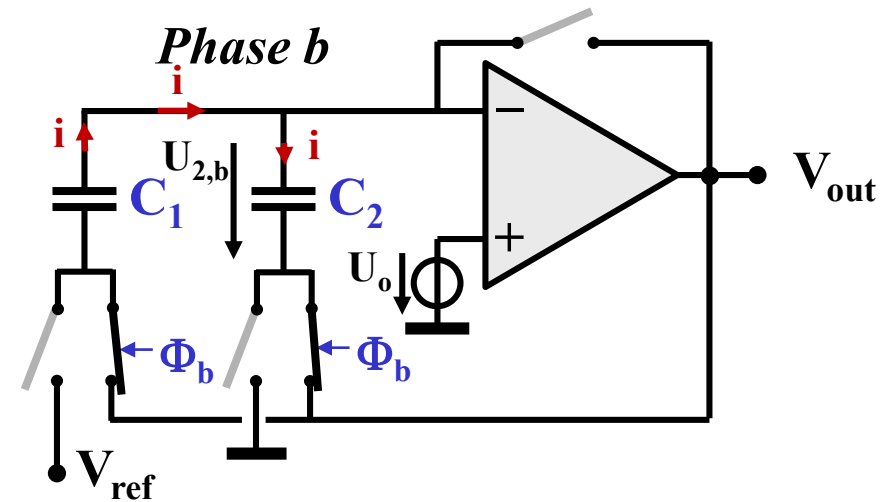
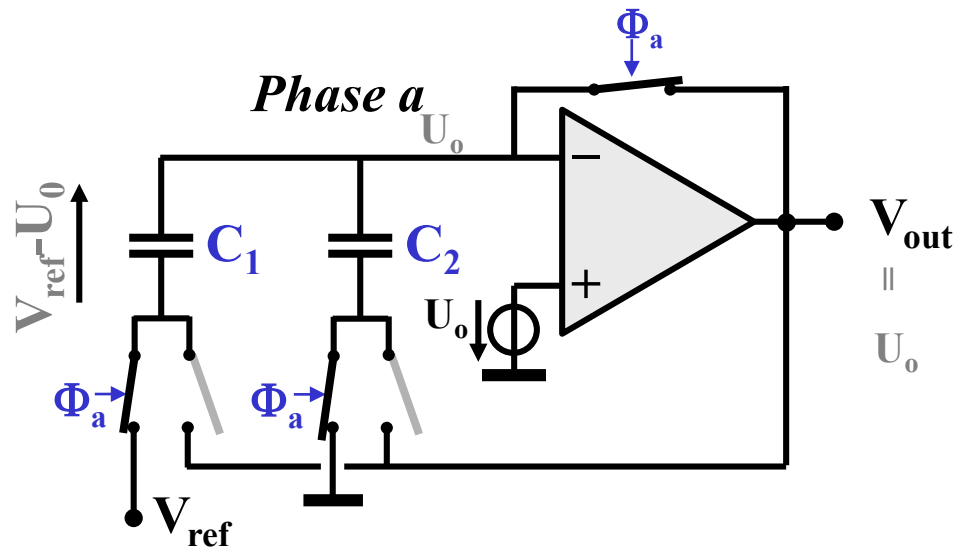
## 2.5. CONVERTISSEURS N/A CMOS A CAPACITES PONDEREES

Variante 3

Principe (1/2)

$$U_{2,b} = -V_{\text{ref}} \cdot \frac{C_1}{C_1 + C_2} + U_0$$

$$V_{\text{out}} = -V_{\text{ref}} \cdot \frac{C_1}{C_1 + C_2}$$



**Phase a**  
**Initialisation**  
 $C_1$  chargée à  $V_{\text{ref}}$   
 $C_2$  déchargée

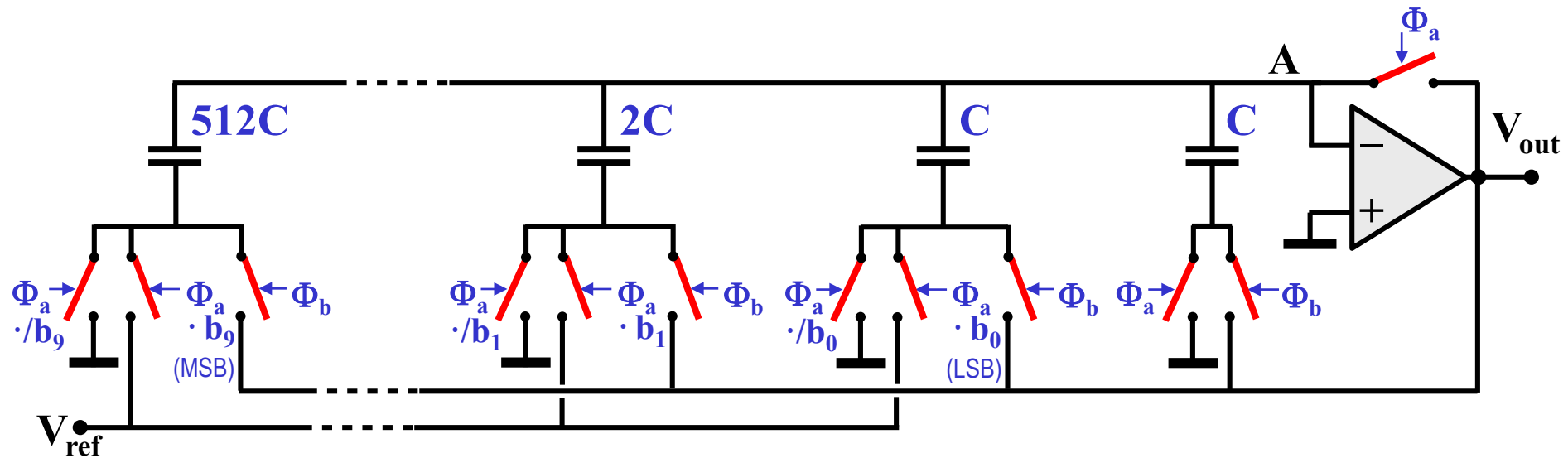
**Phase**  
**intermédiaire**  
non-représentée  
**Tous ouverts**

**Phase b**  
**On connecte la borne**  
**inférieure de  $C_1$  et  $C_2$  à**  
 $V_{\text{out}}$

## 2.5. CONVERTISSEURS N/A CMOS A CAPACITES PONDEREES

Variante 3, dite "Flip Around"

Schéma



☺ Insensible à la capacité parasite totale au nœud X qui reste à un potentiel nul

☺ Surface totale des capacités réduite de moitié

## 2.5. CONVERTISSEURS N/A CMOS A CAPACITES PONDEREES

- Convertisseurs bien adaptés à la technologie CMOS :  
capacités de haute qualité + switches de haute qualité
- La résistance parasite des switches n'influence pas la précision,  
mais seulement la vitesse de conversion
- La précision est limitée aux environs de 10 bits par:
  - la précision des rapports de capacités
  - le phénomène d'injection de charge (injection d'horloge)  
par les interrupteurs MOS